

泛林集团技术研讨会：

联合学术界和产业界， 探讨推进全球半导体产业发展

2018年9月12-13日，泛林集团技术研讨会（Lam Research Technical Symposium）在清华大学举办。作为一个学术界与产业界联合的研讨会，会议邀请到了来自泛林集团、清华大学、麻省理工学院、斯坦福大学、加州大学伯克利分校、西部数据的世界著名学者与业界专家，把半导体产业链中从材料、装备、器件到电路应用串联起来，进行了全产业链的讨论。

面对行业新挑战，必须跨越国界和学术边界开展合作

泛林集团技术研讨会每年举办一次，今年已是第二届。研讨会的目的是通过交流与探讨，激发大家的创意，从而共同应对行业面临的新问题和挑战。泛林集团执行副总裁兼首席技术官 Richard A. Gottscho 博士表示：面对半导体行业新的挑战 and 困难，我们必须跨越国界和学术边界开展合作，创造一种多元化的学术氛围。泛林集团希望与半导体产业的世界著名学者、供应商、客户、客户的客户开展合作，彼此启发，提出新的见解和创意。

清华大学微电子学研究所所长魏少军教授认为，泛林集团技术研讨会会有几个特点：第一，作为一个技术研讨会，它聚焦的是世界上最前沿的技术，但又不是一个纯粹的学术会议，而是一个学术界和产业界联合的会议；第二，清华大学、麻省理工学院、斯坦福大学、加州大学伯克利分校都是全球著名高校，在微电子领域非常有建树，能够把这四所高校聚集到一起讨论前沿性科学问题实属难得；第三，研讨会不仅仅从工艺、器件角度去看半导体产业，而是把产业链中从材料、装备、器件到电路应用串连起来，进行全产业链的讨论，其中还包括 AI 发展，人才培养等话题。“我个人认为泛林集团技术研讨会是国际上最高水平的与半导体基础技术、制造、电路技术相关的研讨会之一，希望这个研讨会能够长期举办下去，成为一个在国际上有影响力的研讨会。”魏少军教授表示。

“在全球范围内，泛林集团和很多顶尖高校都进行了合作，涉及的项目是多方面的，取得的成果也有所区别。

通过有些项目，我们对自己的工艺、产品设计和服 务有了大幅度改进；有些合作项目使我们获得新的创意和见解，让我们的创造力得到进一步发挥；还有一些项目，我们则着眼于加强自己的人才储备，招聘世界一流人才，支撑公司的长期发展。”Gottscho 博士说，“泛林集团和清华大学已有非常久远的合作历史。除了每年在清华大学举办讲座外，为了助力其培养卓越的半导体科技人才，泛林集团于 2013 年起在清华大学微电子与纳电子学系设立了‘泛林集团 - 清华大学微电子论文奖’，每年给清华提供 17 个奖学金的机会。此外，我们还给清华的实验室捐赠了设备。目前，有很多来自清华的毕业生在泛林集团工作。展望未来，我们希望进一步加强和清华大学的合作，开展更多的合作项目。”

对于双方的合作，魏少军教授也提出了自己的看法。“对于清华大学来说，我们更看重和泛林集团的技术交流。今天的研讨会是一种交流，此外，泛林集团的技术人员与清华大学的师生还会相互访问。双向交流带来的是知识上的更新，以及产业界和学术界之间的碰撞，我们觉得这更有价值。”魏教授说，“之所以选择与泛林集团合作是因为泛林集团的领导层有着交流的愿望和开放的心态，我们能够对具体技术问题做很深入的讨论，让清华大学的师生受益良多。同时，泛林集团也能在交流中了解中国半导体产业



泛林集团执行副总裁兼首席技术官 Richard A. Gottscho 博士发表演讲

发展和技术进步情况。有时我们还会开展一些小的合作项目，共同开发一些特定的技术。因此，我们的合作不仅限于人才和奖学金，更重要的是理念和技术创新能力的合作。”

原子层刻蚀与原子层沉积技术发展日益成熟

泛林集团在原子层刻蚀 (ALE) 和原子层沉积 (ALD) 技术方面一直处于业界领先地位。对此，Gottscho 博士介绍了 ALD 和 ALE 技术的进展及未来发展趋势。

“目前为止，ALE 和 ALD 这两项技术的进展都非常顺畅，实际应用也越来越多。原子层沉积比原子层刻蚀诞生得早，所以技术发展更为成熟，普及度也更高。但原子层刻蚀的应用也在不断拓展。”Gottscho 博士介绍，“技术普及及主要面临两方面的挑战，一是生产的通量，二是总拥有成本。这两个方面都在不断被改进，我们也在不断推出新版本的原子层刻蚀和原子层沉积技术，有时候也基于新的设计架构使这两种技术得到进一步成熟和发展。”

“另外，我们也日益把这两种技术集成到一起，在一个工艺腔里实现原子层沉积和原子层刻蚀的工序。对于一些传统产品，我们可以在刻蚀腔里实现原子层沉积，或者在沉积腔里实现一部分原子层刻蚀的功能。”Gottscho 博士补充说，“我们原本认为使用这两种技术可以取得两方面的收益，一方面是包括在硅片层面和器件层面的均匀性的提升，另一方面是选择比的改进。但在实践中，我们发现除了这两点之外，还有其他意想不到的收益，比如产品

的损坏率会下降，粗糙度会进一步降低。随着粗糙度的进一步降低，EUV (极紫外线) 的使用功率可以减少，所以 EUV 技术的性价比会得到提升，这是目前的发展趋势。”

全球化是半导体产业发展不可阻挡的大趋势

“就整个半导体行业而言，我们面临非常多的挑战。有一位发言人在研讨会上提到，之前半导体行业有一套技术发展路线图，称为 National Technology Roadmap for Semiconductor (NTRS)，它会指出下一个技术节点的时间，以及每个节点对尺寸、精度的要求。现在这样的路线图已经不复存在，有人对此感到悲观，觉得今后我们的发展没有了方向。但其实这是一个好的变化，意味着我们会去探索不同的路径，会有更多的可能性和机会充分发挥创意，使整个行业发展更快，也使未来五到十年包括人工智能在内的应用更快落地。”Gottscho 博士表示，“总得来说，半导体行业的发展对其他行业起到了基础的支撑作用。不管是医疗、汽车、航空航天，都可以从半导体产业的发展中获益。”

魏少军教授则强调：半导体是一个全球化的行业，没有一个国家可以关起门来发展。我们要实事求是地看待中国半导体行业的发展，既不夸大，也不妄自菲薄。希望大家以理性的态度看待中外合作，好的技术是没有国界的，半导体技术发展最终将惠及全球各个国家。从如今产业发展来看，全球化大趋势是不可阻挡的，而这对中国来说也是一个重要的机遇。◆ (记者 赵雪芹)

新思科技支持TSMC多裸晶芯片3D-IC封装技术

新思科技 Design Platform 全面支持 TSMC WoW 直接堆叠和 CoWoS® 先进封装技术。Design Platform 支持与 3D IC 参考流程相结合，帮助用户在移动计算、网络通信、消费和汽车电子等应用中部署高性能、高连接性的多裸晶芯片技术。

Design Platform 解决方案包括多裸晶芯片和中介层版图创建、物理布局规划和设计实现、寄生参数提取、时序分析以及物理验证。

Design Platform 支持 TSMC WoW 和 CoWoS 先进封装技术的主要产品和特性包括：

- IC Compiler™ II 布局布线：支持多裸晶芯片布局规划和实现，包括中介层和 3D 晶圆堆叠生成、TSV 布局和连接分配、正交多层、45 度单层，以及裸晶芯片互

连接口模块生成以用于裸晶芯片间的参数提取和检验。

- StarRC™ 参数提取：支持 TSV 和背面 RDL 金属层提取、硅中介层提取，以及裸晶芯片间耦合电容提取。
- IC Validator：支持全系统 DRC 和 LVS 验证、裸晶芯片间 DRC 及接口 LVS 验证。
- PrimeTime® signoff 分析：全系统静态时序分析，支持多裸晶芯片静态时序分析 (STA)

TSMC 设计基础设施市场部资深总监 Suk Lee 表示：高性能先进 3D 硅片制造和晶圆堆叠技术需要全新的 EDA 功能和流程，以支持更高的设计和验证复杂性。我们加强与新思科技的合作，为 TSMC 的 CoWoS 和 WoW 先进封装技术提供设计解决方案。我们相信，设计解决方案将使双方客户从中受益，提高设计人员的工作效率，加快产品上市。